

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150879

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 29/43
H01L 21/336

(21)Application number : 10-327667

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 18.11.1998

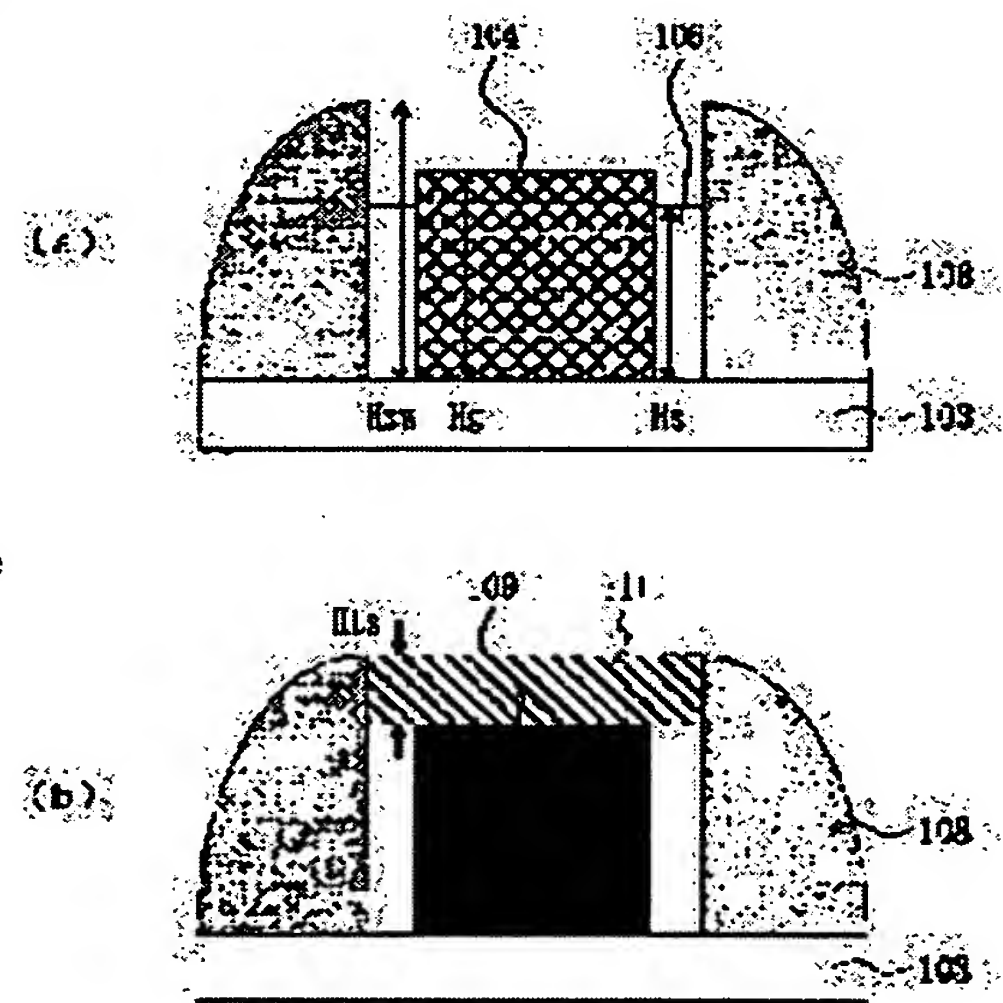
(72)Inventor : HISAWA KAZUYA

(54) SEMICONDUCTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method by which thinning of a silicide film can be prevented, a film be made uniform in thickness, and a silicide be made low in resistance.

SOLUTION: This semiconductor device is provided with a gate polysilicon film 109, an oxide film 106 on the side of gate polysilicon which is lower in height than the side surface of the gate polysilicon film 109, a side wall 108 which is higher in height than the oxide film 106 and gate polysilicon film 109 and is formed on the side of the oxide film 106, and a silicide film 111 which is formed on the upper surfaces of the gate polysilicon film 109 and oxide film 106 while using the side wall 108 as a wall.



LEGAL STATUS

[Date of request for examination] 01.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3429208

[Date of registration] 16.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In a semiconductor device (a) gate polish recon film and the gate polish recon side-face oxide film of height lower than the height of the side face of (b) this gate polish recon film, (c) The sidewall which is higher than the height of this gate polish recon side-face oxide film, and is formed in the flank of this gate polish recon side-face oxide film, (d) Semiconductor device characterized by providing the silicide film formed in the front face of said gate polish recon film by using this sidewall as a wall.

[Claim 2] The semiconductor device characterized by being $H_g > H_s$, $H_{sw} > H_s$, and $H_{ts} \geq H_g - H_s$ in a semiconductor device according to claim 1 when setting the height of said gate polish recon film, a sidewall, a gate polish recon side-face oxide film, and the silicide film to H_g , H_{sw} , H_s , and H_{ts} , respectively.

[Claim 3] The process which etches the gate polish recon film by using the (a) 1st insulator layer as a mask in the manufacture approach of a semiconductor device, (b) The process which forms the 2nd insulator layer in the side face of said gate polish recon film, (c) The process which forms a sidewall by the 3rd insulator layer, all the 1st insulator layer of the (d) aforementioned mask, and the process which removes alternatively the upper part of the 2nd insulator layer of the side face of said gate polish recon film, (e) The manufacture approach of the semiconductor device characterized by giving the process which forms silicide in the front face of the gate polish recon film, and the front face of a source drain diffusion layer by heat-treating after depositing a metal membrane.

[Claim 4] The manufacture approach of the semiconductor device characterized by making said the 1st insulator layer and 2nd insulator layer into silicon oxide, and making said 3rd insulator layer into a silicon nitride in the manufacture approach of a semiconductor device according to claim 3.

[Claim 5] For the thermal oxidation film and said 3rd insulator layer, the PSG film, the BSG film or the BPSG film, and said 2nd insulator layer are the manufacture approach of the semiconductor device characterized by said 1st insulator layer being NSG film in the manufacture approach of a semiconductor device according to claim 3.

[Claim 6] The process which forms the 1st insulator layer in the side face and top face of this gate polish recon film in the manufacture approach of a semiconductor device after etching (a) gate polish recon film, (b) It is left [process which forms a sidewall by the 2nd insulator layer, and / a part of] behind whether the 1st insulator layer on said top face of the gate polish recon film is removed at the time of the (c) aforementioned sidewall formation. The process which leaves only the 1st insulator layer of the side face of said gate polish recon film, and the process which removes alternatively the upper part of the 1st insulator layer of the side face of the (d) aforementioned gate polish recon film, (e) The manufacture approach of the semiconductor device characterized by giving the process which forms silicide in the front face of the gate polish recon film, and a source drain diffusion layer front face from heat-treating after depositing a metal membrane.

[Claim 7] It is the manufacture approach of the semiconductor device characterized by for said 1st insulator layer being silicon oxide, and said 2nd insulator layer being a silicon nitride in the manufacture approach of a semiconductor device according to claim 6.

[Claim 8] It is the manufacture approach of the semiconductor device characterized by for said 1st insulator layer being the PSG film, the BSG film, or BPSG film, and said 2nd insulator layer being NSG film in the manufacture approach of a semiconductor device according to claim 6.

[Claim 9] The manufacture approach of the semiconductor device characterized by using the high spatter of the rectilinear-propagation nature of metal particles for metaled deposition in the manufacture approach of a semiconductor device according to claim 3 or 6.

[Claim 10] The manufacture approach of the semiconductor device characterized by using a collimation spatter or the long slow spatter method as a high spatter of said rectilinear-propagation nature in the manufacture approach of a semiconductor device according to claim 9.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device and its manufacture approach, and relates to the structure of a MOS transistor where thickness has the silicide film of uniform and low resistance especially, and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, as a technique of such a field, there was a thing as shown in JP,9-23008,A, for example.

[0003] By detailed-ization of a semiconductor device, the high accumulation of LSI and improvement in the speed are progressing. On the other hand, increase of the gate, the source, and drain resistance poses a problem for detailed-izing of this semiconductor device.

[0004] Then, in order to solve this problem, the so-called salicide process which can carry out [low ***]-izing of the gate, the source, and the drain to coincidence attracts attention.

[0005] However, there was a fault that the silicide on the gate and the silicide on the source and a drain will connect too hastily, by thin film-ization of the sidewall accompanying etching for too much sidewall formation, and detailed-izing of a component.

[0006] Then, in order to solve the problem, the salicide process shown below was able to be considered.

[0007] Drawing 6 is the production process sectional view of this conventional semiconductor device, and explains a salicide process.

[0008] (1) it is first shown in drawing 6 (a) -- as -- a known technique -- using -- the Si (100) substrate 11 -- LOCOS -- by law, form 400nm field oxide 12 and divide an active field. Next, after oxidizing an active field thermally and forming 16nm gate oxide 13, the 300nm polish recon film is deposited, and it is 900-degree C PoCl₃. Polish recon film Helin is diffused in an ambient atmosphere. After depositing the 200 morenm PSG film, these polish recon film and the PSG film are processed into the pattern of gate wiring, and the PSG film 21 and the polish recon film 14 are formed.

[0009] Next, these PSGs film 21, the polish recon film 14, and silicon oxide 12 are used as a mask, and it is P+. The ion implantation of the ion is carried out to the Si substrate 11 with the acceleration energy of 30keV(s), and the dose of 2x10¹³cm⁻², and it is N as a LDD layer. -- A diffusion layer 15 is formed.

[0010] (2) Next, make a 220nm silicon nitride deposit the whole surface on the Si substrate 11 with a CVD method, as shown in drawing 6 (b), and it is the top face and N of the PSG film 21. -- Etchback of the whole surface of the silicon nitride 22 is carried out until the front face of a diffusion layer 15 is completely exposed, and the side attachment wall which consists of this silicon nitride 22 is formed in the side face of the polish recon film 14 and the PSG film 21.

[0011] (3) Next, as shown in drawing 6 (c), by dipping the Si substrate 11 into a dilution fluoric acid solution, remove alternatively the PSG film 21 on the polish recon film 14, and expose the top face of the polish recon film 14. Since the etch rate of the PSG film 21 by the dilution fluoric

acid solution is about 10 times quick compared with the silicon oxide 12 formed by thermal oxidation and it is 100 or more times quick compared with the silicon nitride 22 or the polish recon film 14, the PSG film 21 is alternatively removable as mentioned above.

[0012] Then, the polish recon film 14, the silicon nitride 22, and silicon oxide 12 are used as a mask, and it is As⁺. The ion implantation of the ion is carried out to the Si substrate 11 with the acceleration energy of 50keV(s), and the dose of $3 \times 10^{15} \text{cm}^{-2}$, 1050 degrees C and high-speed annealing for 10 seconds are performed in nitrogen-gas-atmosphere mind, and it is N⁺ as a source drain diffusion layer. A diffusion layer 17 is formed.

[0013] (4) Next, thickness makes Ti film which is 30nm deposit the whole surface on the Si substrate 11. And the top face and N⁺ of the polish recon film 14 which performed 600 degrees C and high-speed annealing for 30 seconds in nitrogen-gas-atmosphere mind, and has been exposed from silicon oxide 12 and the silicon nitride 22 The front face and Ti film of a diffusion layer 17 are made to react, and it is TiSi₂. The film is formed. Then, as Ti film which remains while it has been unreacted on silicon oxide 12 and the silicon nitride 22 is alternatively removed by the ammonia filtered water, 800 degrees C and high-speed annealing for 30 seconds are again performed in nitrogen and it is shown in drawing 6 (d), they are the top face of the polish recon film 14, and N⁺. TiSi₂ of low resistance [the front face of a diffusion layer 17] The film 23 is formed.

[0014]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned conventional manufacture approach, silicide-ization was checked in the sidewall and the gate polish recon interface, and there was a fault that uniform silicide was not formed (refer to JP,7-45823,A).

[0015] this invention removes the above-mentioned trouble and thin film-ization of silicide prevents it -- having -- thickness -- homogeneity -- becoming -- low -- it aims at offering the semiconductor device which can form silicide [****], and its manufacture approach.

[0016]

[Means for Solving the Problem] This invention is set to [1] semiconductor device, in order to attain the above-mentioned purpose. The gate polish recon film and the gate polish recon side-face oxide film of height lower than the height of the side face of this gate polish recon film, It is higher than the height of this gate polish recon side-face oxide film, and the sidewall formed in the flank of this gate polish recon side-face oxide film and the silicide film formed in the front face of said gate polish recon film by using this sidewall as a wall are provided.

[0017] [2] In the semiconductor device of the above-mentioned [1] publication, when the height of said gate polish recon film, a sidewall, a gate polish recon side-face oxide film, and the silicide film sets to Hg, Hsw, Hs, and Hts, respectively, they are $H_g > H_s$, $H_{sw} > H_s$, and $H_{ts} \geq H_g - H_s$.

[0018] [3] The process which etches the gate polish recon film by using the 1st insulator layer as a mask in the manufacture approach of a semiconductor device, The process which forms the 2nd insulator layer in the side face of said gate polish recon film, The process which forms a sidewall by the 3rd insulator layer, all the 1st insulator layer of said mask, and the process which removes alternatively the upper part of the 2nd insulator layer of the side face of said gate polish recon film, It is made to give the process which forms silicide in the front face of the gate polish recon film, and the front face of a source drain diffusion layer by heat-treating, after depositing a metal membrane.

[0019] [4] In the manufacture approach of the semiconductor device the above-mentioned [3] publication, make said the 1st insulator layer and said 2nd insulator layer into silicon oxide, and let said 3rd insulator layer be a silicon nitride.

[0020] [5] In the manufacture approach of the semiconductor device the above-mentioned [3] publication, said 1st insulator layer is [the thermal oxidation film and said 3rd insulator layer of the PSG film, the BSG film or the BPSG film, and said 2nd insulator layer] NSG film.

[0021] [6] The process which forms the 1st insulator layer in the side face and top face of said gate polish recon film in the manufacture approach of a semiconductor device after etching the

gate polish recon film, It is left [process which forms a sidewall by the 2nd insulator layer, and / a part of] behind whether the 1st insulator layer on said top face of the gate polish recon film is removed at the time of said sidewall formation. The process which leaves only the 1st insulator layer of the side face of said gate polish recon film, and the process which removes alternatively the upper part of the 1st insulator layer of the side face of said gate polish recon film, It is made to give the process which forms silicide in the front face of the gate polish recon film, and a source drain diffusion layer front face from heat-treating, after depositing a metal membrane.

[0022] [7] In the manufacture approach of the semiconductor device the above-mentioned [6] publication, said 1st insulator layer is silicon oxide, and said 2nd insulator layer is a silicon nitride.

[0023] [8] In the manufacture approach of the semiconductor device the above-mentioned [6] publication, said 1st insulator layer is the PSG film, the BSG film, or BPSG film, and said 2nd insulator layer is NSG film.

[0024] [9] Use the high spatter of the rectilinear-propagation nature of metal particles for metal deposition in the manufacture approach of a semiconductor device the above [3] or given in [6].

[0025] [10] Use a collimation spatter or the long slow spatter method as a high spatter of said rectilinear-propagation nature in the manufacture approach of the semiconductor device the above-mentioned [9] publication.

[0026]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail.

[0027] Drawing 1 is drawing for explaining the salicide process which shows the 1st example of this invention, and is process drawing roughly shown with the sectional view.

[0028] (1) it is first shown in drawing 1 (a) -- as -- a known technique -- using -- the Si (100) substrate 101 -- LOCOS -- form 400nm field oxide 102 by law, and divide an active field.

[0029] Next, after oxidizing an active field thermally and forming 16nm gate oxide 103, the 300nm polish recon film is deposited. After depositing the 200 morenm PSG film, these polish recon film and the PSG film are processed into the pattern of gate wiring, and the polish recon film 104 and the PSG film 105 are formed. Next, 30nm silicon oxide 106 is formed in a gate side face by thermal oxidation.

[0030] Subsequently, these PSG film 105, the polish recon film 104, and silicon oxide 106 are used as a mask, and it is P+. The ion implantation of the ion is carried out to the Si substrate 101 with the acceleration energy of 30keV(s), and the dose of $2 \times 10^{13} \text{cm}^{-2}$, and it is N as a LDD layer. - A diffusion layer 107 is formed.

[0031] (2) Next, carry out etchback of the whole surface of a silicon nitride until it makes a 220nm silicon nitride deposit the whole surface on the Si substrate 101 with a CVD method, next the top face of the PSG film 105 and the front face of the N-diffusion layer 107 are completely exposed, as shown in drawing 1 (b), and form in the side face of the polish recon film 104 and the PSG film 105 the sidewall 108 which consists of this silicon nitride.

[0032] (3) Next, as shown in drawing 1 (c), by dipping the Si substrate 101 into a dilution fluoric acid solution, remove alternatively the PSG film 105 on the polish recon film 104, expose the top face of the polish recon film 104, also remove the upper part of the silicon oxide 106 which continued UETTOETCHI further and was formed in the side face of the polish recon film 104, and expose the both ends of the upper part of the polish recon film 104.

[0033] Since it is about 10 times quick compared with the field oxide 102 and silicon oxide 106 which were formed by thermal oxidation and 100 or more times quick compared with a sidewall (silicon nitride) 108 or the polish recon film 104, the etch rate of the PSG film 105 by the dilution fluoric acid solution can remove the PSG film 105 alternatively as mentioned above, and are not all the silicon oxide 106 and can remove only the upper part. What is necessary is just to perform wet etching processing for about 1 minute succeedingly after removing the PSG film 105 with HF

solution 5%, supposing it makes 300Å of upper parts of silicon oxide 106 remove.

[0034] (4) It is As⁺ as shown in drawing 1 (d) after that. The ion implantation of the ion is carried out to the polish recon film 104 and the Si substrate 101 with the acceleration energy of 50keV (s), and the dose of $3 \times 10^{15} \text{cm}^{-2}$, 1050 degrees C and high-speed annealing for 10 seconds are performed in nitrogen-gas-atmosphere mind, and the gate polish recon film 109 and the source drain diffusion layer (N⁺ diffusion layer) 110 are formed.

[0035] (5) Next, make 30nm Ti film deposit the whole surface on the Si substrate 101, as shown in drawing 1 (e). And perform 600 degrees C and high-speed annealing for 30 seconds in nitrogen-gas-atmosphere mind, the top face of the gate polish recon film 109 exposed from field oxide 102 and a sidewall 108 and the front face of the source drain diffusion layer 110, and Ti film are made to react, and it is TiSi₂. The film is formed.

[0036] (6) Remove alternatively after that Ti film which remains while it has been unreacted on field oxide 102 and a sidewall 108 by the ammonia filtered water, perform 800 degrees C and high-speed annealing for 30 seconds in nitrogen again, and they are the top face of the gate polish recon film 109, and N⁺. TiSi₂ of low resistance [the front face of a diffusion layer 110] The film 111 is formed.

[0037] In the above-mentioned process, it is characteristic to have exposed without the both ends of the gate polish recon film 109 upper part touching a sidewall 108. For this reason, it sets to the both ends of the gate polish recon film 109 upper part, and is TiSi₂. The film 111 stops thin-film-izing, and it is TiSi₂. Since the film 111 is formed in homogeneity, it becomes low resistance.

[0038] Moreover, the sidewall 108 upper part is higher than the gate polish recon film 109 upper part, and since the slot is formed between the gate polish recon film 109 and a sidewall 108, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0039] thus -- since thin film-ization of the silicide in the both ends of the gate polish recon film upper part can be prevented according to the 1st example -- thickness -- homogeneity -- becoming -- low -- it becomes possible to form silicide [****].

[0040] Moreover, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0041] In addition, although explained taking the case of Ti silicide, Co silicide or nickel silicide is also available for this with the above-mentioned example. Moreover, the PSG film as a gate etching mask is not cared about as other oxide films.

[0042] Furthermore, formation of the silicide film of the gate polish recon section is explained to a detail using drawing 2.

[0043] Drawing 2 is drawing for explaining the formation process of the silicide film of the gate polish recon section which shows the 2nd example of this invention, and is process drawing roughly shown with the sectional view.

[0044] The polish recon film 104 of the 1st example shown in drawing 1 in this example, the silicon nitride (side attachment wall) 108, the gate polish recon side-face oxide film 106, and TiSi₂ When setting the height of the film 111 to Hg, Hsw, Hs, and Hts, respectively, the structure used as $H_g > H_s$, $H_{sw} > H_s$, and $H_{ts} \geq H_g - H_s$ is the description.

[0045] Thus, according to the 2nd example, since silicide stops thin-film-izing at the time of the silicide formation which continues since the gate polish recon film 109 upper part and a sidewall 108 are separated spatially and silicide is formed in homogeneity in the both ends of the gate polish recon film 109 upper part at it, it becomes low resistance. Furthermore, since the slot is formed between the gate polish recon film 109 and a sidewall 108, it is TiSi₂. Worries about the short circuit between the gate by the overgrowth of the film 111, the source, and a drain disappear.

[0046] In addition, although this example explained the sidewall which consists of a silicon nitride, silicon oxide is sufficient as this.

[0047] Next, the 3rd example of this invention is explained.

[0048] In this example, it is the same as that of the 1st example except the spatter process of metal. That is, in this example, the high spatter of the rectilinear-propagation nature of metal particles is used for metaled deposition. for example, metaled membrane formation -- a collimation spatter or a long slow spatter -- using -- thin-film-izing of silicide -- protecting -- low -- TiSi [****]2 The film shall be formed. that is, membrane formation of Ti in the drawing 1 (e) process shown in the 1st example -- a collimation spatter or a long slow spatter -- using -- thin-film-izing of silicide -- protecting -- low -- TiSi [****]2 The film can be obtained.

[0049] Thus, according to the 3rd example, since the collimation spatter or the long slow spatter was used for membrane formation of Ti, step coverage improves. therefore -- since thin film-ization of the metal formed on the gate polish recon film can be prevented -- the former -- low -- TiSi [****]2 It becomes possible to form the film.

[0050] Moreover, although explained taking the case of Ti silicide, Co silicide or nickel silicide is also available for this with this example.

[0051] Next, the 4th example of this invention is explained.

[0052] Drawing 3 is drawing for explaining the salicide process which shows the 4th example of this invention, and is process drawing roughly shown with the sectional view.

[0053] (1) it is first shown in drawing 3 (a) -- as -- a known technique -- using -- the Si (100) substrate 201 -- LOCOS -- form 400nm field oxide 202 by law, and divide an active field. Next, after oxidizing an active field thermally and forming 16nm gate oxide 203, the 300nm polish recon film is deposited. After depositing the 200 morenm PSG film, these polish recon film and the PSG film are processed into the pattern of gate wiring, and the polish recon film 204 and the PSG film 205 are formed.

[0054] Next, 30nm silicon oxide 206 is formed in a gate side face by thermal oxidation. These PSG film 205, the polish recon film 204, and silicon oxide 206 are used as a mask, and it is P+. The ion implantation of the ion is carried out to the Si substrate 201 with the acceleration energy of 30keV(s), and the dose of $2 \times 10^{13} \text{cm}^{-2}$, and it is N as a LDD layer. -- A diffusion layer 207 is formed.

[0055] (2) Subsequently, as the 220nm NSG film (non dope oxide film) is made to deposit the whole surface on the Si substrate 201 with a CVD method and it is shown in drawing 3 (b), it is the top face and N of the PSG film 205. -- Etchback of the whole surface of the NSG film is carried out until the front face of a diffusion layer 207 is completely exposed, and the sidewall 208 which consists of this NSG film is formed in the side face of the polish recon film 204 and the PSG film 205.

[0056] (3) Next, as shown in drawing 3 (c), by dipping the Si substrate 201 into a dilution fluoric acid solution, remove alternatively the PSG film 205 on the polish recon film 204, expose the top face of the polish recon film 204, also remove the upper part of the silicon oxide 206 which continued UETTOETCHI further and was formed in the side face of the polish recon film 204, and expose the both ends of the polish recon film 204 upper part.

[0057] Since it is about 10 times quick compared with silicon oxide 206 and the NSG film 208 which were formed by thermal oxidation and 100 or more times quick compared with the polish recon film 204, the etch rate of the PSG film 205 by the dilution fluoric acid solution can remove the PSG film 205 alternatively as mentioned above, and are not all the silicon oxide 206 and can remove only the upper part. What is necessary is just to perform wet etching processing for about 1 minute succeedingly after PSG film 205 removal with HF solution 5%, supposing it makes 300A of upper parts of silicon oxide 206 remove.

[0058] (4) It is As+ as shown in drawing 3 (d) after that. The ion implantation of the ion is carried out to the polish recon film 204 and the Si substrate 201 with the acceleration energy of 50keV (s), and the dose of $3 \times 10^{15} \text{cm}^{-2}$, 1050 degrees C and high-speed annealing for 10 seconds are performed in nitrogen-gas-atmosphere mind, and the gate polish recon film 209 and the source drain diffusion layer (N+ diffusion layer) 210 are formed.

[0059] (5) Next, make 30nm Ti film deposit the whole surface on the Si substrate 201, as shown in drawing 3 (e). And perform 600 degrees C and high-speed annealing for 30 seconds in nitrogen-gas-atmosphere mind, and it is made to react with the top face of the gate polish recon film 209 exposed from the sidewall 208 which consists of silicon oxide 202 and NSG film and the front face of the source drain diffusion layer 210, and Ti film, and is TiSi₂. The film is formed.

[0060] (6) After that, remove alternatively Ti film which remains while it has been unreacted on the sidewall 208 which consists of field oxide 202 and NSG film by the ammonia filtered water, perform 800 degrees C and high-speed annealing for 30 seconds in nitrogen again, and form TiSi₂ film 211 of low resistance in the top face of the gate polish recon film 209, and the front face of the source drain diffusion layer 210.

[0061] It is characteristic to have exposed without the both ends of the gate polish recon film 209 upper part touching a sidewall 208 in the above-mentioned process of the 4th example. For this reason, it sets to the both ends of the gate polish recon film 209 upper part, and is TiSi₂. The film 211 stops thin-film-izing, and it is TiSi₂. Since the film 211 is formed in homogeneity, it becomes low resistance.

[0062] Moreover, the sidewall 208 upper part is higher than the gate polish recon film 209 upper part, and since the slot is formed between the gate polish recon film 209 and a sidewall 208, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0063] thus -- since thin film-ization of the silicide in the both ends of the gate polish recon film upper part can be prevented according to the 4th example -- thickness -- homogeneity -- becoming -- low -- it becomes possible to form silicide [****].

[0064] Moreover, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0065] Furthermore, unlike a nitride, worries about fluctuation of the threshold voltage by diffusion of hydrogen disappear by having used the sidewall as the oxide film.

[0066] In addition, although explained taking the case of Ti silicide, Co silicide or nickel silicide is also available for this with the above-mentioned example. Moreover, other oxide films are sufficient as the PSG film as a gate etching mask.

[0067] Next, the 5th example of this invention is explained.

[0068] Drawing 4 is drawing for explaining the silicide process which shows the 5th example of this invention, and is process drawing roughly shown with the sectional view.

[0069] (1) it is first shown in drawing 4 (a) -- as -- a known technique -- using -- the Si (100) substrate 301 -- LOCOS -- form 400nm field oxide 302 by law, and divide an active field.

[0070] Next, after oxidizing an active field thermally and forming 16nm gate oxide 303, the 300nm polish recon film is deposited. Furthermore the polish recon film is processed into the pattern of gate wiring, and the polish recon film 304 is formed. Next, 30nm silicon oxide 305 is formed in the whole surface, i.e., the top face, and the side face of the polish recon film 304 by thermal oxidation.

[0071] Next, these polish recon film 304 and silicon oxide 305 are used as a mask, and it is P+. The ion implantation of the ion is carried out to the Si substrate 301 with the acceleration energy of 30keV(s), and the dose of $2 \times 10^{13} \text{cm}^{-2}$, and it is N as a LDD layer. -- A diffusion layer 306 is formed.

[0072] (2) Next, make a 220nm silicon nitride deposit the whole surface on the Si substrate 301 with a CVD method, as shown in drawing 4 (b), and it is N. -- Etchback of the whole surface of a silicon nitride is carried out until the front face of a diffusion layer 306 is completely exposed, and the sidewall 307 which consists of this silicon nitride is formed in the side face of the polish recon film 304.

[0073] (3) Next, as shown in drawing 4 (c), by dipping the Si substrate 301 into a dilution fluoric acid solution, remove the upper part of the silicon oxide 305 formed in the side face of the polish recon film 304, and expose the both ends of the polish recon film 304 upper part.

[0074] Since the etch rate of the silicon oxide 305 by the dilution fluoric acid solution is about 10 times quick compared with a sidewall (silicon nitride) 307, the upper part of silicon oxide 305 is alternatively removable as mentioned above. What is necessary is just to perform wet etching processing for about 1 minute with HF solution 5%, supposing it makes 300Å of upper parts of silicon oxide 305 remove.

[0075] (4) It is As⁺ as shown in drawing 4 (d) after that. The ion implantation of the ion is carried out to the polish recon film 304 and the Si substrate 301 with the acceleration energy of 50keV (s), and the dose of $3 \times 10^{15} \text{cm}^{-2}$, 1050 degrees C and high-speed annealing for 10 seconds are performed in nitrogen-gas-atmosphere mind, and the gate polish recon film 308 and the source drain diffusion layer (N⁺ diffusion layer) 309 are formed.

[0076] (5) Next, make 30nm Ti film deposit the whole surface on the Si substrate 301, as shown in drawing 4 (e). And the top face and N⁺ of the gate polish recon film 308 which performed 600 degrees C and high-speed annealing for 30 seconds in nitrogen-gas-atmosphere mind, and has been exposed from silicon oxide 305 and a sidewall (silicon nitride) 307 It is made to react with the front face of a diffusion layer 309, and Ti film, and is TiSi₂. The film is formed.

[0077] (6) Remove alternatively after that Ti film which remains while it has been unreacted on field oxide 302 and a sidewall (silicon nitride) 307 by the ammonia filtered water, perform 800 degrees C and high-speed annealing for 30 seconds in nitrogen again, and they are the top face of the gate polish recon film 308, and N⁺. TiSi₂ of low resistance [the front face of a diffusion layer 309] The film 310 is formed.

[0078] It is characteristic to have exposed without the both ends of the gate polish recon film 308 upper part touching a sidewall 307 in the above-mentioned process of this example. For this reason, it sets to the both ends of the gate polish recon film 308 upper part, and is TiSi₂. The film 310 stops thin-film-izing, and it is TiSi₂. Since the film 310 is formed in homogeneity, it becomes low resistance.

[0079] Moreover, since the slot is formed between the gate polish recon film 308 and a sidewall 307, worries about the short circuit between the gate ** source by the overgrowth of silicide and a drain disappear.

[0080] thus — since thin film-ization of the silicide in the both ends of the gate polish recon film upper part can be prevented according to the 5th example — thickness — homogeneity — becoming — low — it becomes possible to form silicide [****].

[0081] Moreover, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear. Since the oxide film as a gate etching mask is not deposited, a process becomes easy.

[0082] In addition, in this example, although explained taking the case of Ti silicide, Co silicide or nickel silicide is also available for this.

[0083] Next, the 6th example of this invention is explained.

[0084] Drawing 5 is drawing for explaining the silicide process which shows the 6th example of this invention, and is process drawing roughly shown with the sectional view.

[0085] (1) it is first shown in drawing 5 (a) — as — a known technique — using — the Si (100) substrate 401 — LOCOS — form 400nm field oxide 402 by law, and divide an active field.

[0086] Next, after oxidizing an active field thermally and forming 16nm gate oxide 403, the 300nm polish recon film is deposited, and it is processed into the pattern of gate wiring. Next, the 30nm PSG film 405 is formed in the whole surface, i.e., the top face, and the side face of the polish recon film 404 used as the gate with a CVD method.

[0087] (2) Next, as shown in drawing 5 (b), use these polish recon film 404 and the PSG film 405 as a mask, and it is P⁺. The ion implantation of the ion is carried out to the Si substrate 401 with the acceleration energy of 30keV(s), and the dose of $2 \times 10^{13} \text{cm}^{-2}$, and it is N as a LDD layer. — A diffusion layer 406 is formed. Next, the 220nm NSG film is made to deposit the whole surface on the Si substrate 401 with a CVD method, and it is N. — Etchback of the whole surface of the NSG film is carried out until the front face of a diffusion layer 406 is completely exposed, and

the sidewall 407 which consists of this NSG film is formed in the side face of the polish recon film 404.

[0088] (3) Subsequently, as shown in drawing 5 (c), by ** which dips the Si substrate 401 into a dilution fluoric acid solution, remove the upper part of the PSG film 405 formed in the side face of the polish recon film 404, and expose the both ends of the polish recon film 404 upper part. Since the etch rate of the PSG film 405 by the dilution fluoric acid solution is about 10 times quick compared with the sidewall 407 which consists of the NSG film, the upper part of the PSG film 405 is alternatively removable as mentioned above. What is necessary is just to perform wet etching processing for about 10 seconds with HF solution 1%, supposing it makes 300A of upper parts of the silicon film 405 remove.

[0089] (4) It is As+ as shown in drawing 5 (d) after that. With the acceleration energy of 50keV (s), and the dose of $3 \times 10^{15} \text{cm}^{-2}$, the ion implantation of the ion is carried out to the polish recon film 404 and the Si substrate 401, 1050 degrees C and high-speed annealing for 10 seconds are performed in nitrogen-gas-atmosphere mind, and the gate polish recon film 408 and the source drain diffusion layer (N+ diffusion layer) 409 are formed.

[0090] (5) Next, make 30nm Ti film deposit the whole surface on the Si substrate 401, as shown in drawing 5 (e). And perform 600 degrees C and high-speed annealing for 30 seconds in nitrogen-gas-atmosphere mind, and it is made to react with the top face of the gate polish recon film 408 exposed from the sidewall 407 which consists of silicon oxide 405 and the NSG film and the front face of the source drain diffusion layer 409, and Ti film, and is TiSi_2 . The film is formed.

[0091] (6) After that, remove alternatively Ti film which remains while it has been unreacted on the sidewall 407 which consists of field oxide 402 and the NSG film by the ammonia filtered water, perform 800 degrees C and high-speed annealing for 30 seconds in nitrogen again, and form TiSi_2 film 410 of low resistance in the top face of the gate polish recon film 408, and the front face of the source drain diffusion layer 409.

[0092] It is characteristic to have exposed without the both ends of the gate polish recon film 408 upper part touching a sidewall 407 in the above-mentioned process of the 6th example. For this reason, it sets to the both ends of the gate polish recon film 408 upper part, and is TiSi_2 . The film 410 stops thin-film-izing, and it is TiSi_2 . Since the film 410 is formed in homogeneity, it becomes low resistance.

[0093] Moreover, since the slot is formed between the gate polish recon film 408 and a sidewall 407, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0094] since [thus,] thin film-ization of the silicide in the both ends of the gate polish recon film upper part is prevented according to the 6th example — thickness — homogeneity — becoming — low — it becomes possible to form silicide [****].

[0095] Moreover, worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0096] Furthermore, since the oxide film as a gate etching mask is not deposited, a process becomes easy.

[0097] Moreover, unlike a nitride, worries about fluctuation of the threshold voltage by diffusion of hydrogen disappear by having used the sidewall as the NSG film.

[0098] In addition, according to the above-mentioned example, although explained taking the case of Ti silicide, Co silicide or nickel silicide is also available for this.

[0099] In addition, this invention is not limited to the above-mentioned example, and based on the meaning of this invention, various deformation is possible for it and it does not eliminate these from the range of this invention.

[0100]

[Effect of the Invention] As mentioned above, according to this invention, the following effectiveness can be done so as explained to the detail.

[0101] (A) since thin film-ization of the silicide in the both ends of the gate polish recon film upper part can be prevented -- thickness -- homogeneity -- becoming -- low -- it becomes possible to form silicide [****].

[0102] (B) Worries about the short circuit between the gate by the overgrowth of silicide, the source, and a drain disappear.

[0103] (C) When a collimation spatter or a long slow spatter is used for membrane formation of Ti, step coverage improves.

[Translation done.]

(11)特許出願公開番号

特開2000-150879

(P2000-150879A)

(43)公開日 平成12年5月30日(2000.5.30)

(51) Int.Cl.⁷

識別記号

FI

デーコート^{*}(参考)

H O 1 L 29/78

21/28

29/43

21/336

301

H01L 29/78

21/28

29/62

29/78

301G

301D

G

4M104

5 F 0 4 0

301P

審査請求 未請求 請求項の数10 O.L (全 10 頁)

(21)出願番号

特願平10-327667

(22) 出願目

平成10年11月18日(1998.11.18)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 水澤 和也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100089635

弁理士 清水 守 (外1名)

Fターム(参考) 4M104 AA01 BB01 BB14 BB25 CC05

DD02 DD09 DD64 DD66 DD78

DD84 EE09 GG09 HH20

5F040 DA14 DC01 EC01 EC07 EF02

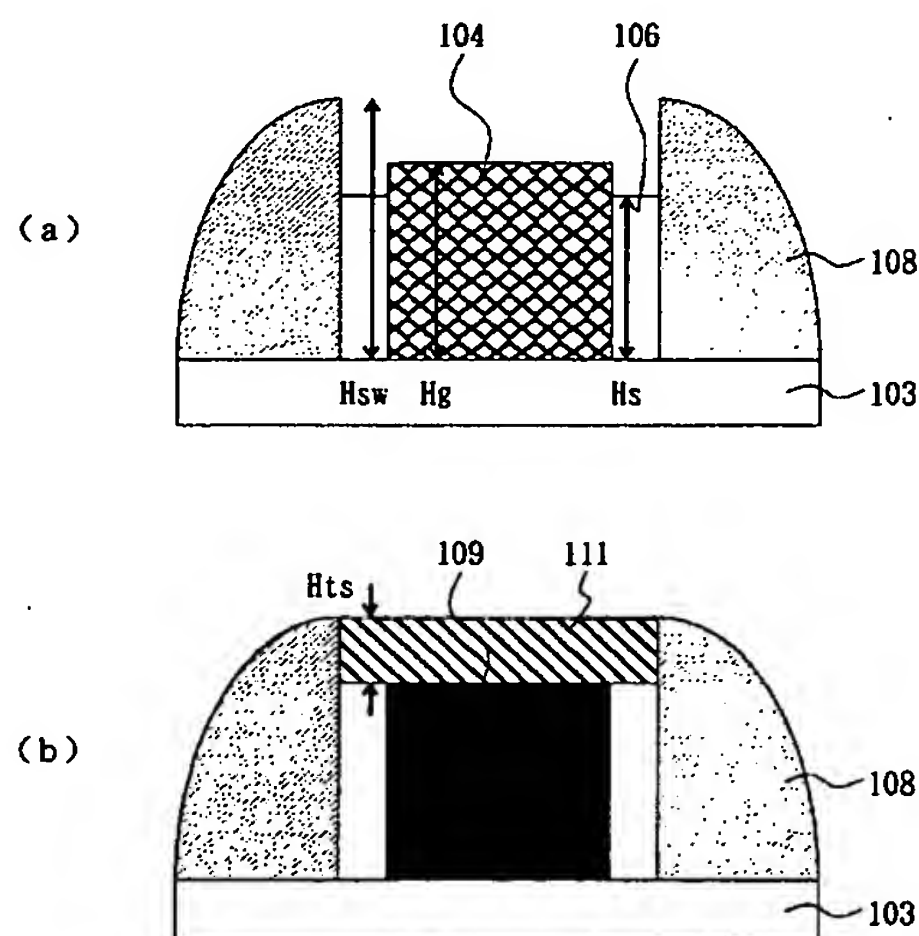
EK01 FB02 FC19 FC22

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 シリサイドの薄膜化が防止され、膜厚が均一になり、低抵抗なシリサイドを形成することができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置において、ゲートポリシリコン膜１０９と、このゲートポリシリコン膜１０９の側面の高さより低い高さのゲートポリシリコン側面酸化膜１０６と、このゲートポリシリコン側面酸化膜１０６及び前記ゲートポリシリコン膜１０９の高さより高く、かつこのゲートポリシリコン側面酸化膜１０６の側部に形成されるサイドウォール１０８と、このサイドウォール１０８を壁として前記ゲートポリシリコン膜１０９の上面及びゲートポリシリコン側面酸化膜１０６の上面に形成されるシリサイド膜１１１とを具備する。



103: ゲート酸化膜
104: ポリシリコン膜
106: シリコン酸化膜
108: サイドウォール
109: ゲートポリシリコン膜
111: $TiSi_2$ 膜 (シリサイド膜)

【特許請求の範囲】

【請求項 1】 半導体装置において、(a) ゲートポリシリコン膜と、(b) 該ゲートポリシリコン膜の側面の高さより低い高さのゲートポリシリコン側面酸化膜と、(c) 該ゲートポリシリコン側面酸化膜の高さより高く、かつ該ゲートポリシリコン側面酸化膜の側部に形成されるサイドウォールと、(d) 該サイドウォールを壁として前記ゲートポリシリコン膜の表面に形成されるシリサイド膜とを具備することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記ゲートポリシリコン膜、サイドウォール、ゲートポリシリコン側面酸化膜、シリサイド膜の高さをそれぞれ H_g 、 H_{sw} 、 H_s 、 H_{ts} とするとき、 $H_g > H_s$ 、 $H_{sw} > H_s$ 、 $H_{ts} \geq H_g - H_s$ であることを特徴とする半導体装置。

【請求項 3】 半導体装置の製造方法において、(a) 第 1 の絶縁膜をマスクとしてゲートポリシリコン膜をエッチングする工程と、(b) 前記ゲートポリシリコン膜の側面に第 2 の絶縁膜を形成する工程と、(c) 第 3 の絶縁膜によりサイドウォールを形成する工程と、(d) 前記マスクの第 1 の絶縁膜のすべてと前記ゲートポリシリコン膜の側面の第 2 の絶縁膜の上部を選択的に除去する工程と、(e) 金属膜を堆積した後に熱処理を行うことにより、ゲートポリシリコン膜の表面とソース・ドレイン拡散層の表面にシリサイドを形成する工程とを施すことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、前記第 1 の絶縁膜及び第 2 の絶縁膜をシリコン酸化膜とし、前記第 3 の絶縁膜をシリコン窒化膜とすることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 3 記載の半導体装置の製造方法において、前記第 1 の絶縁膜は PSG 膜、BSG 膜又は BPSG 膜、前記第 2 の絶縁膜は熱酸化膜、前記第 3 の絶縁膜は NSG 膜であることを特徴とする半導体装置の製造方法。

【請求項 6】 半導体装置の製造方法において、(a) ゲートポリシリコン膜をエッチングした後、該ゲートポリシリコン膜の側面と上面に第 1 の絶縁膜を形成する工程と、(b) 第 2 の絶縁膜によりサイドウォールを形成する工程と、(c) 前記サイドウォール形成のとき前記ゲートポリシリコン膜上面の第 1 の絶縁膜は除去されるか一部残され、前記ゲートポリシリコン膜の側面の第 1 の絶縁膜のみ残す工程と、(d) 前記ゲートポリシリコン膜の側面の第 1 の絶縁膜の上部を選択的に除去する工程と、(e) 金属膜を堆積した後に熱処理を行うことにより、ゲートポリシリコン膜の表面とソース・ドレイン拡散層表面にシリサイドを形成する工程とを施すことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、前記第 1 の絶縁膜はシリコン酸化膜、前記第 2

の絶縁膜はシリコン窒化膜であることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 記載の半導体装置の製造方法において、前記第 1 の絶縁膜は PSG 膜、BSG 膜又は BPSG 膜、前記第 2 の絶縁膜は NSG 膜であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 3 又は 6 記載の半導体装置の製造方法において、金属の堆積に、金属粒子の直進性の高いスパッタ法を用いることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法において、前記直進性の高いスパッタ法として、コリメートスパッタ又はロングスロースパッタ法を用いることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に係り、特に、膜厚が均一で低い抵抗のシリサイド膜を有する MOS 型トランジスタの構造及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、特開平 9-23008 号公報に示すようなものがあつた。

【0003】 半導体素子の微細化により、LSI の高集積、高速化が進んでいる。一方、この半導体素子の微細化のために、ゲート、ソース、ドレイン抵抗の増大が問題となっている。

【0004】 そこで、この問題を解決するために、ゲート、ソース、ドレインを同時に低抵抗化できる、いわゆるサリサイドプロセスが注目されている。

【0005】 しかしながら、過度のサイドウォール形成のためのエッチングや、素子の微細化に伴うサイドウォールの薄膜化により、ゲート上のシリサイドとソース、ドレイン上のシリサイドが短絡してしまうという欠点があつた。

【0006】 そこで、その問題を解決するために、以下に示すサリサイドプロセスが考えられた。

【0007】 図 6 はかかる従来の半導体装置の製造工程断面図であり、サリサイドプロセスを説明する。

【0008】 (1) まず、図 6 (a) に示すように、既知の技術を用いて、Si (100) 基板 11 に LOCO S 法により、400 nm のフィールド酸化膜 12 を形成してアクティブ領域を区画する。次に、アクティブ領域を熱酸化して 16 nm のゲート酸化膜 13 を形成してから、300 nm のポリシリコン膜を堆積し、900℃の $POCl_3$ の雰囲気中でポリシリコン膜へリンを拡散させる。さらに 200 nm の PSG 膜を堆積してから、これらポリシリコン膜、PSG 膜をゲート配線のパターンに加工し、PSG 膜 21、ポリシリコン膜 14 を形成す

る。

【0009】次に、これらPSG膜21、ポリシリコン膜14、およびシリコン酸化膜12をマスクにして、P⁺イオンを30keVの加速エネルギー及び $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でSi基板11にイオン注入してLD層としてのN⁻拡散層15を形成する。

【0010】(2)次に、図6(b)に示すように、220nmのシリコン窒化膜をCVD法でSi基板11上の全面に堆積させ、PSG膜21の上面およびN⁻拡散層15の表面が完全に露出するまでシリコン窒化膜22の全面をエッチバックして、このシリコン窒化膜22から成る側壁をポリシリコン膜14及びPSG膜21の側面に形成する。

【0011】(3)次に、図6(c)に示すように、Si基板11を希釈フッ酸溶液中に浸すことにより、ポリシリコン膜14上のPSG膜21を選択的に除去して、ポリシリコン膜14の上面を露出させる。希釈フッ酸溶液によるPSG膜21のエッチング速度は、熱酸化で形成したシリコン酸化膜12に比べて10倍近くも速く、シリコン窒化膜22やポリシリコン膜14に比べると100倍以上も速いので、上述のようにPSG膜21を選択的に除去することができる。

【0012】その後、ポリシリコン膜14、シリコン窒化膜22およびシリコン酸化膜12をマスクにして、As⁺イオンを50keVの加速エネルギー及び $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でSi基板11にイオン注入し、窒素雰囲気中で1050℃、10秒間の高速アニールを行って、ソース・ドレイン拡散層としてのN⁺拡散層17を形成する。

【0013】(4)次に、膜厚が30nmのTi膜をSi基板11上の全面に堆積させる。そして、窒素雰囲気中で600℃、30秒間の高速アニールを行い、シリコン酸化膜12及びシリコン窒化膜22から露出しているポリシリコン膜14の上面及びN⁺拡散層17の表面とTi膜とを反応させて、TiSi₂膜を形成する。その後、シリコン酸化膜12及びシリコン窒化膜22上に未反応のまま残っているTi膜をアンモニア過水で選択的に除去し、再び窒素中で800℃、30秒間の高速アニールを行って、図6(d)に示すように、ポリシリコン膜14の上面及びN⁺拡散層17の表面に低抵抗のTiSi₂膜23を形成する。

【0014】

【発明が解決しようとする課題】しかしながら、上記した従来の製造方法では、サイドウォールとゲートポリシリコン界面においてシリサイド化が阻害され、均一なシリサイドが形成されないという欠点があった(特開平7-45823号公報参照)。

【0015】本発明は、上記問題点を除去し、シリサイドの薄膜化が防止され、膜厚が均一になり、低抵抗なシリサイドを形成することができる半導体装置及びその製

造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕半導体装置において、ゲートポリシリコン膜と、このゲートポリシリコン膜の側面の高さより低い高さのゲートポリシリコン側面酸化膜と、このゲートポリシリコン側面酸化膜の高さより高く、かつ、このゲートポリシリコン側面酸化膜の側部に形成されるサイドウォールと、このサイドウォールを壁として前記ゲートポリシリコン膜の表面に形成されるシリサイド膜とを具備するようにしたものである。

【0017】〔2〕上記〔1〕記載の半導体装置において、前記ゲートポリシリコン膜、サイドウォール、ゲートポリシリコン側面酸化膜、シリサイド膜の高さがそれぞれH_g、H_{sw}、H_s、H_{ts}とするとき、H_g>H_s、H_{sw}>H_s、H_{ts}≥H_g-H_sである。

【0018】〔3〕半導体装置の製造方法において、第1の絶縁膜をマスクとしてゲートポリシリコン膜をエッチングする工程と、前記ゲートポリシリコン膜の側面に第2の絶縁膜を形成する工程と、第3の絶縁膜によりサイドウォールを形成する工程と、前記マスクの第1の絶縁膜のすべてと前記ゲートポリシリコン膜の側面の第2の絶縁膜の上部を選択的に除去する工程と、金属膜を堆積した後に熱処理を行うことにより、ゲートポリシリコン膜の表面とソース・ドレイン拡散層の表面にシリサイドを形成する工程とを施すようにしたものである。

【0019】〔4〕上記〔3〕記載の半導体装置の製造方法において、前記第1の絶縁膜及び前記第2の絶縁膜をシリコン酸化膜とし、前記第3の絶縁膜をシリコン窒化膜とする。

【0020】〔5〕上記〔3〕記載の半導体装置の製造方法において、前記第1の絶縁膜はPSG膜、BSG膜又はBPSG膜、前記第2の絶縁膜は熱酸化膜、前記第3の絶縁膜はNSG膜である。

【0021】〔6〕半導体装置の製造方法において、ゲートポリシリコン膜をエッチングした後、前記ゲートポリシリコン膜の側面と上面に第1の絶縁膜を形成する工程と、第2の絶縁膜によりサイドウォールを形成する工程と、前記サイドウォール形成のとき前記ゲートポリシリコン膜上面の第1の絶縁膜は除去されるか一部残され、前記ゲートポリシリコン膜の側面の第1の絶縁膜のみ残す工程と、前記ゲートポリシリコン膜の側面の第1の絶縁膜の上部を選択的に除去する工程と、金属膜を堆積した後に熱処理を行うことにより、ゲートポリシリコン膜の表面とソース・ドレイン拡散層表面にシリサイドを形成する工程とを施すようにしたものである。

【0022】〔7〕上記〔6〕記載の半導体装置の製造方法において、前記第1の絶縁膜はシリコン酸化膜、前記第2の絶縁膜はシリコン窒化膜である。

【0023】〔8〕上記〔6〕記載の半導体装置の製造方法において、前記第1の絶縁膜はPSG膜、BSG膜又はBPSG膜、前記第2の絶縁膜はNSG膜である。

【0024】〔9〕上記〔3〕又は〔6〕記載の半導体装置の製造方法において、金属の堆積に、金属粒子の直進性の高いスパッタ法を用いるようにしたものである。

【0025】〔10〕上記〔9〕記載の半導体装置の製造方法において、前記直進性の高いスパッタ法として、コリメートスパッタ又はロングスロースパッタ法を用いるようにしたものである。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。

【0027】図1は本発明の第1実施例を示すシリサイドプロセスを説明するための図であり、断面図をもって概略的に示した工程図である。

【0028】（1）まず、図1（a）に示すように、既知の技術を用いて、Si（100）基板101にLOCOS法により400nmのフィールド酸化膜102を形成してアクティブ領域を区画する。

【0029】次に、アクティブ領域を熱酸化して16nmのゲート酸化膜103を形成してから300nmのポリシリコン膜を堆積する。さらに200nmのPSG膜を堆積してから、これらのポリシリコン膜、PSG膜をゲート配線のパターンに加工し、ポリシリコン膜104、PSG膜105を形成する。次に、熱酸化により30nmのシリコン酸化膜106をゲート側面に形成する。

【0030】次いで、これらのPSG膜105、ポリシリコン膜104及びシリコン酸化膜106をマスクにしてP⁺イオンを30keVの加速エネルギー及び $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でSi基板101にイオン注入して、LDD層としてのN⁻拡散層107を形成する。

【0031】（2）次に、図1（b）に示すように、220nmのシリコン窒化膜をCVD法でSi基板101上の全面に堆積させ、次に、PSG膜105の上面及びN⁻拡散層107の表面が完全に露出するまでシリコン窒化膜の全面をエッチバックして、このシリコン窒化膜からなるサイドウォール108をポリシリコン膜104およびPSG膜105の側面に形成する。

【0032】（3）次に、図1（c）に示すように、Si基板101を希釈フッ酸溶液中に浸すことにより、ポリシリコン膜104上のPSG膜105を選択的に除去して、ポリシリコン膜104の上面を露出させ、さらにウェットエッチを継続してポリシリコン膜104の側面に形成したシリコン酸化膜106の上部も除去して、ポリシリコン膜104の上部の両端を露出させる。

【0033】希釈フッ酸溶液によるPSG膜105のエッチング速度は、熱酸化で形成したフィールド酸化膜102、シリコン酸化膜106に比べて10倍近くも速

く、サイドウォール（シリコン窒化膜）108やポリシリコン膜104に比べると100倍以上も速いので、上述のようにPSG膜105を選択的に除去することができ、また、シリコン酸化膜106の全てではなく上部のみを除去することができる。シリコン酸化膜106の上部を300Å除去させるとすると、5%HF溶液ではPSG膜105を除去後、引き続き約1分間のウェットエッチング処理を行えばよい。

【0034】（4）その後、図1（d）に示すように、As⁺イオンを50keVの加速エネルギー及び $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でポリシリコン膜104とSi基板101にイオン注入し、窒素雰囲気中で1050℃、10秒間の高速アニールを行って、ゲートポリシリコン膜109、ソース・ドレイン拡散層（N⁺拡散層）110を形成する。

【0035】（5）次に、図1（e）に示すように、30nmのTi膜をSi基板101上の全面に堆積させる。そして、窒素雰囲気中で600℃、30秒間の高速アニールを行い、フィールド酸化膜102及びサイドウォール108から露出しているゲートポリシリコン膜109の上面及びソース・ドレイン拡散層110の表面とTi膜を反応させて、TiSi₂膜を形成する。

【0036】（6）その後、フィールド酸化膜102及びサイドウォール108上に未反応のまま残っているTi膜をアンモニア過水で選択的に除去し、再び窒素中で800℃、30秒間の高速アニールを行って、ゲートポリシリコン膜109の上面及びN⁺拡散層110の表面に低抵抗のTiSi₂膜111を形成する。

【0037】上記工程において、特徴的なのは、ゲートポリシリコン膜109上部の両端部がサイドウォール108と接しないで露出していることである。このためゲートポリシリコン膜109上部の両端部においてTiSi₂膜111が薄膜化しなくなり、TiSi₂膜111が均一に形成されるので低抵抗になる。

【0038】また、ゲートポリシリコン膜109上部よりサイドウォール108上部が高く、かつ、ゲートポリシリコン膜109とサイドウォール108間に溝が形成されているので、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0039】このように第1実施例によれば、ゲートポリシリコン膜上部の両端部におけるシリサイドの薄膜化を防止することができるので、膜厚が均一になり、低抵抗なシリサイドを形成することが可能となる。

【0040】また、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0041】なお、上記実施例では、Tiシリサイドを例にとり説明したが、これはCoシリサイドでもNiシリサイドでも構わない。また、ゲートエッチングマスクとしてのPSG膜を他の酸化膜としても構わない。

【0042】更に、ゲートポリシリコン部のシリサイド膜の形成を図2を用いて詳細に説明する。

【0043】図2は本発明の第2実施例を示すゲートポリシリコン部のシリサイド膜の形成プロセスを説明するための図であり、断面図をもって概略的に示した工程図である。

【0044】この実施例においては、図1に示した第1実施例のポリシリコン膜104、シリコン窒化膜（側壁）108、ゲートポリシリコン側面酸化膜106、 $TiSi_2$ 膜111の高さを、それぞれ H_g 、 H_{sw} 、 H_s 、 H_{ts} とすると、 $H_g > H_s$ 、 $H_{sw} > H_s$ 、 $H_{ts} \geq H_g - H_s$ となっている構造が特徴である。

【0045】このように第2実施例によれば、ゲートポリシリコン膜109上部とサイドウォール108が空間的に分離されているので、続くシリサイド形成時にゲートポリシリコン膜109上部の両端部において、シリサイドが薄膜化しなくなり、シリサイドが均一に形成されるので低抵抗になる。さらに、ゲートポリシリコン膜109とサイドウォール108間に溝が形成されているので、 $TiSi_2$ 膜111のオーバーグロスによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0046】なお、この実施例では、シリコン窒化膜からなるサイドウォールについて説明したが、これはシリコン酸化膜でも構わない。

【0047】次に、本発明の第3実施例について説明する。

【0048】この実施例では、金属のスパッタ工程以外は第1実施例と同様である。つまり、この実施例では、金属の堆積に、金属粒子の直進性の高いスパッタ法を用いる。例えば、金属の成膜にコリメートスパッタまたはロングスロースパッタを用いて、シリサイドの薄膜化を防ぎ、低抵抗な $TiSi_2$ 膜を形成するものとする。つまり、第1実施例に示す、図1(e)工程における Ti の成膜に、コリメートスパッタまたはロングスロースパッタを用いて、シリサイドの薄膜化を防ぎ、低抵抗な $TiSi_2$ 膜を得ることができる。

【0049】このように第3実施例によれば、 Ti の成膜にコリメートスパッタまたはロングスロースパッタを用いるようにしたので、ステップカバレッジが向上する。したがって、ゲートポリシリコン膜上に成膜された金属の薄膜化を防ぐことができるので、従来よりも、低抵抗な $TiSi_2$ 膜を形成することが可能となる。

【0050】また、この実施例では、 Ti シリサイドを例にとり説明したが、これは Co シリサイドでも Ni シリサイドでも構わない。

【0051】次に、本発明の第4実施例について説明する。

【0052】図3は本発明の第4実施例を示すシリサイドプロセスを説明するための図であり、断面図をもって概略的に示した工程図である。

【0053】(1) まず、図3(a)に示すように、既知の技術を用いて、 $Si(100)$ 基板201にLOCOS法により400nmのフィールド酸化膜202を形成してアクティブ領域を区画する。次に、アクティブ領域を熱酸化して16nmのゲート酸化膜203を形成してから300nmのポリシリコン膜を堆積する。さらに200nmのPSG膜を堆積してから、これらのポリシリコン膜、PSG膜をゲート配線のパターンに加工し、ポリシリコン膜204、PSG膜205を形成する。

【0054】次に、熱酸化により30nmのシリコン酸化膜206をゲート側面に形成する。これらのPSG膜205、ポリシリコン膜204及びシリコン酸化膜206をマスクにして P^+ イオンを30keVの加速エネルギー及び $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で Si 基板201にイオン注入して、LDD層としての N^- 拡散層207を形成する。

【0055】(2) 次に、220nmのNSG膜（ノンドープ酸化膜）をCVD法で Si 基板201上の全面に堆積させ、図3(b)に示すように、PSG膜205の上面および N^- 拡散層207の表面が完全に露出するまでNSG膜の全面をエッチバックして、このNSG膜からなるサイドウォール208をポリシリコン膜204及びPSG膜205の側面に形成する。

【0056】(3) 次に、図3(c)に示すように、 Si 基板201を希釈フッ酸溶液中に浸すことにより、ポリシリコン膜204上のPSG膜205を選択的に除去してポリシリコン膜204の上面を露出させ、さらにウェットエッチを継続してポリシリコン膜204の側面に形成したシリコン酸化膜206の上部も除去して、ポリシリコン膜204上部の両端を露出させる。

【0057】希釈フッ酸溶液によるPSG膜205のエッチング速度は、熱酸化で形成したシリコン酸化膜206やNSG膜208に比べて10倍近くも速く、ポリシリコン膜204に比べると100倍以上も速いので、上述のようにPSG膜205を選択的に除去することができ、また、シリコン酸化膜206の全てではなく上部のみを除去することができる。シリコン酸化膜206の上部を300Å除去させるとすると、5%HF溶液ではPSG膜205除去後引き続き約1分間のウェットエッチング処理を行えばよい。

【0058】(4) その後、図3(d)に示すように、 As^+ イオンを50keVの加速エネルギー及び $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でポリシリコン膜204と Si 基板201にイオン注入し、窒素雰囲気中で1050℃、10秒間の高速アニールを行って、ゲートポリシリコン膜209、ソース・ドレイン拡散層(N^+ 拡散層)210を形成する。

【0059】(5) 次に、図3(e)に示すように、30nmの Ti 膜を Si 基板201上の全面に堆積させる。そして、窒素雰囲気中で600℃、30秒間の高速

アニールを行い、シリコン酸化膜202及びNSG膜からなるサイドウォール208から露出しているゲートポリシリコン膜209の上面及びソース・ドレイン拡散層210の表面とTi膜と反応させて、TiSi₂膜を形成する。

【0060】(6)その後、フィールド酸化膜202及びNSG膜からなるサイドウォール208上に未反応のまま残っているTi膜をアンモニア過水で選択的に除去し、再び窒素中で800℃、30秒間の高速アニールを行ってゲートポリシリコン膜209の上面およびソース・ドレイン拡散層210の表面に低抵抗のTiSi₂膜211を形成する。

【0061】第4実施例の上記工程において特徴的なのは、ゲートポリシリコン膜209上部の両端部がサイドウォール208と接しないで露出していることである。このためゲートポリシリコン膜209上部の両端部においてTiSi₂膜211が薄膜化しなくなり、TiSi₂膜211が均一に形成されるので低抵抗になる。

【0062】また、ゲートポリシリコン膜209上部よりサイドウォール208上部が高く、かつ、ゲートポリシリコン膜209とサイドウォール208間に溝が形成されているので、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0063】このように第4実施例によれば、ゲートポリシリコン膜上部の両端部におけるシリサイドの薄膜化を防止することができるので、膜厚が均一になり、低抵抗なシリサイドを形成することが可能となる。

【0064】また、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0065】さらに、サイドウォールを酸化膜としたことにより、窒化膜と違い水素の拡散による閾値電圧の変動の心配がなくなる。

【0066】なお、上記実施例では、Tiシリサイドを例にとり説明したが、これはCoシリサイドでもNiシリサイドでも構わない。また、ゲートエッチングマスクとしてのPSG膜は他の酸化膜でも構わない。

【0067】次に、本発明の第5実施例について説明する。

【0068】図4は本発明の第5実施例を示すシリサイドプロセスを説明するための図であり、断面図をもって概略的に示した工程図である。

【0069】(1)まず、図4(a)に示すように、既知の技術を用いて、Si(100)基板301にLOCOS法により400nmのフィールド酸化膜302を形成してアクティブ領域を区画する。

【0070】次に、アクティブ領域を熱酸化して16nmのゲート酸化膜303を形成してから300nmのポリシリコン膜を堆積する。さらにポリシリコン膜をゲート配線のパターンに加工し、ポリシリコン膜304を形

成する。次に、熱酸化により30nmのシリコン酸化膜305をポリシリコン膜304の全面、つまり、上面及び側面に形成する。

【0071】次に、これらのポリシリコン膜304及びシリコン酸化膜305をマスクにして、P⁺イオンを30keVの加速エネルギー及び $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でSi基板301にイオン注入して、LDD層としてのN⁻拡散層306を形成する。

【0072】(2)次に、図4(b)に示すように、220nmのシリコン窒化膜をCVD法でSi基板301上の全面に堆積させ、N⁻拡散層306の表面が完全に露出するまでシリコン窒化膜の全面をエッチバックして、このシリコン窒化膜から成るサイドウォール307をポリシリコン膜304の側面に形成する。

【0073】(3)次に、図4(c)に示すように、Si基板301を希釈フッ酸溶液中に浸すことにより、ポリシリコン膜304の側面に形成したシリコン酸化膜305の上部を除去してポリシリコン膜304上部の両端を露出させる。

【0074】希釈フッ酸溶液によるシリコン酸化膜305のエッチング速度は、サイドウォール(シリコン窒化膜)307に比べると10倍近くも速いので、上述のようにシリコン酸化膜305の上部を選択的に除去することができる。シリコン酸化膜305の上部を300Å除去させるとすると、5%HF溶液では約1分間のウェットエッチング処理を行えばよい。

【0075】(4)その後、図4(d)に示すように、As⁺イオンを50keVの加速エネルギーおよび $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でポリシリコン膜304とSi基板301にイオン注入し、窒素雰囲気中で1050℃、10秒間の高速アニールを行って、ゲートポリシリコン膜308、ソース・ドレイン拡散層(N⁺拡散層)309を形成する。

【0076】(5)次に、図4(e)に示すように、30nmのTi膜をSi基板301上の全面に堆積させる。そして、窒素雰囲気中で600℃、30秒間の高速アニールを行い、シリコン酸化膜305及びサイドウォール(シリコン窒化膜)307から露出しているゲートポリシリコン膜308の上面及びN⁺拡散層309の表面とTi膜と反応させて、TiSi₂膜を形成する。

【0077】(6)その後、フィールド酸化膜302及びサイドウォール(シリコン窒化膜)307上に未反応のまま残っているTi膜をアンモニア過水で選択的に除去し、再び窒素中で800℃、30秒間の高速アニールを行って、ゲートポリシリコン膜308の上面およびN⁺拡散層309の表面に低抵抗のTiSi₂膜310を形成する。

【0078】この実施例の上記工程において特徴的なのは、ゲートポリシリコン膜308上部の両端部がサイドウォール307と接しないで露出していることである。

このため、ゲートポリシリコン膜308上部の両端部において $TiSi_2$ 膜310が薄膜化しなくなり、 $TiSi_2$ 膜310が均一に形成されるので低抵抗になる。

【0079】また、ゲートポリシリコン膜308とサイドウォール307間に溝が形成されているので、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0080】このように第5実施例によれば、ゲートポリシリコン膜上部の両端部におけるシリサイドの薄膜化を防止することができるので、膜厚が均一になり、低抵抗なシリサイドを形成することが可能となる。

【0081】また、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。ゲートエッチングマスクとしての酸化膜を堆積していないので工程が簡単になる。

【0082】なお、この実施例において、 Ti シリサイドを例にとり説明したが、これは Co シリサイドでも Ni シリサイドでも構わない。

【0083】次に、本発明の第6実施例について説明する。

【0084】図5は本発明の第6実施例を示すシリサイドプロセスを説明するための図であり、断面図をもって概略的に示した工程図である。

【0085】(1) まず、図5(a)に示すように、既知の技術を用いて、 $Si(100)$ 基板401にLOCOS法により400nmのフィールド酸化膜402を形成してアクティブ領域を区画する。

【0086】次に、アクティブ領域を熱酸化して16nmのゲート酸化膜403を形成してから300nmのポリシリコン膜を堆積し、ゲート配線のパターンに加工する。次に、CVD法により30nmのPSG膜405を、ゲートとなるポリシリコン膜404の全面、つまり、上面及び側面に形成する。

【0087】(2) 次に、図5(b)に示すように、これらのポリシリコン膜404及びPSG膜405をマスクにして、 P^+ イオンを30keVの加速エネルギー及び $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で Si 基板401にイオン注入して、LDD層としての N^- 拡散層406を形成する。次に、220nmのNSG膜をCVD法で Si 基板401上の全面に堆積させ、 N^- 拡散層406の表面が完全に露出するまでNSG膜の全面をエッチバックして、このNSG膜から成るサイドウォール407をポリシリコン膜404の側面に形成する。

【0088】(3) 次いで、図5(c)に示すように、 Si 基板401を希釈フッ酸溶液中に浸すことにより、ポリシリコン膜404の側面に形成したPSG膜405の上部を除去してポリシリコン膜404上部の両端を露出させる。希釈フッ酸溶液によるPSG膜405のエッチング速度は、NSG膜から成るサイドウォール407に比べて10倍近くも速いので、上述のようにPSG膜4

05の上部を選択的に除去することができる。シリコン膜405の上部を300Å除去させるとすると、1%HF溶液では約10秒間のウエットエッチング処理を行えばよい。

【0089】(4) その後、図5(d)に示すように、 As^+ イオンを50keVの加速エネルギーおよび $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、ポリシリコン膜404と Si 基板401にイオン注入し、窒素雰囲気中で1050℃、10秒間の高速アニールを行って、ゲートポリシリコン膜408、ソース・ドレイン拡散層(N^+ 拡散層)409を形成する。

【0090】(5) 次に、図5(e)に示すように、30nmの Ti 膜を Si 基板401上の全面に堆積させる。そして、窒素雰囲気中で600℃、30秒間の高速アニールを行い、シリコン酸化膜405及びNSG膜から成るサイドウォール407から露出しているゲートポリシリコン膜408の上面及びソース・ドレイン拡散層409の表面と Ti 膜と反応させて、 $TiSi_2$ 膜を形成する。

【0091】(6) その後、フィールド酸化膜402及びNSG膜から成るサイドウォール407上に未反応のまま残っている Ti 膜をアンモニア過水で選択的に除去し、再び窒素中で800℃、30秒間の高速アニールを行って、ゲートポリシリコン膜408の上面及びソース・ドレイン拡散層409の表面に低抵抗の $TiSi_2$ 膜410を形成する。

【0092】第6実施例の上記工程において特徴的なのは、ゲートポリシリコン膜408上部の両端部がサイドウォール407と接しないで露出していることである。このためゲートポリシリコン膜408上部の両端部において $TiSi_2$ 膜410が薄膜化しなくなり、 $TiSi_2$ 膜410が均一に形成されるので低抵抗になる。

【0093】また、ゲートポリシリコン膜408とサイドウォール407間に溝が形成されているので、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0094】このように第6実施例によれば、ゲートポリシリコン膜上部の両端部におけるシリサイドの薄膜化が防止されるために、膜厚が均一になり、低抵抗なシリサイドを形成することが可能となる。

【0095】また、シリサイドのオーバーグロースによるゲートとソース、ドレイン間の短絡の心配がなくなる。

【0096】さらに、ゲートエッチングマスクとしての酸化膜を堆積していないので工程が簡単になる。

【0097】また、サイドウォールをNSG膜としたことにより、窒化膜と違い水素の拡散による閾値電圧の変動の心配がなくなる。

【0098】なお、上記実施例によれば、 Ti シリサイドを例にとり説明したが、これは Co シリサイドでも N

i シリサイドでも構わない。

【0099】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0100】

【発明の効果】以上、詳細に説明したように、本発明によれば、次のような効果を奏することができる。

【0101】(A) ゲートポリシリコン膜上部の両端部におけるシリサイドの薄膜化を防止することができるので、膜厚が均一になり、低抵抗なシリサイドを形成することが可能となる。

【0102】(B) シリサイドのオーバークロスによるゲートとソース、ドレイン間の短絡の心配がなくなる。

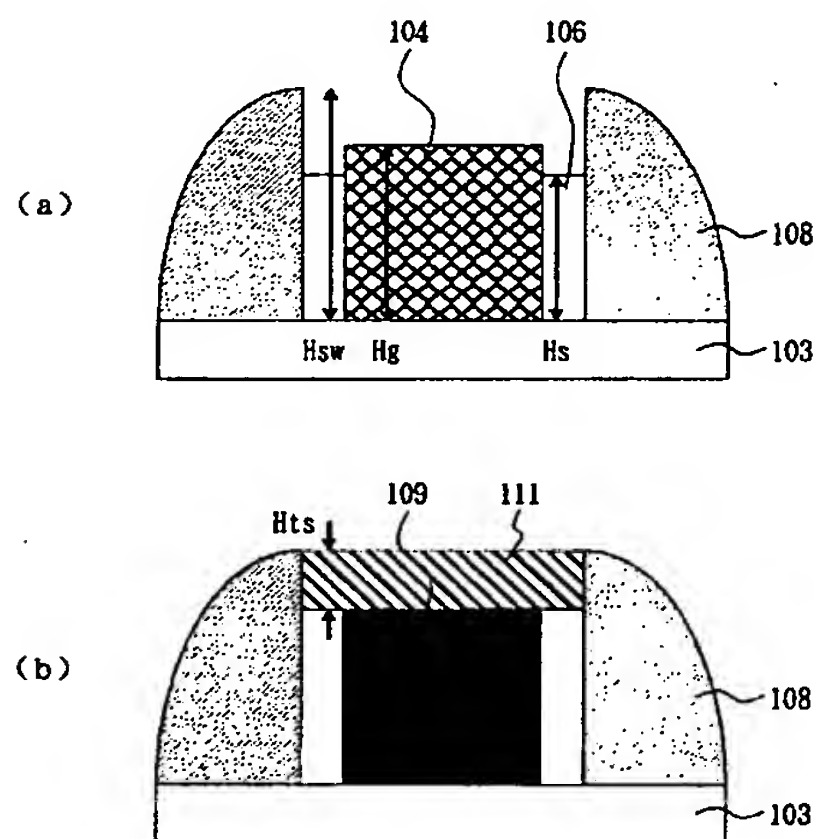
【0103】(C) Tiの成膜にコリメートスパッタまたはロングスロースパッタを用いるようにした場合には、ステップカバレッジが向上する。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すシリサイドプロセスを説明するための図である。

【図2】本発明の第2実施例を示すゲートポリシリコン部のシリサイド膜の形成プロセスを説明するための図である。

【図2】



103: ゲート酸化膜
104: ポリシリコン膜
106: シリコン酸化膜
108: サイドウォール
109: ゲートポリシリコン膜
111: TiSi₂ 膜 (シリサイド膜)

【図3】本発明の第4実施例を示すシリサイドプロセスを説明するための図である。

【図4】本発明の第5実施例を示すシリサイドプロセスを説明するための図である。

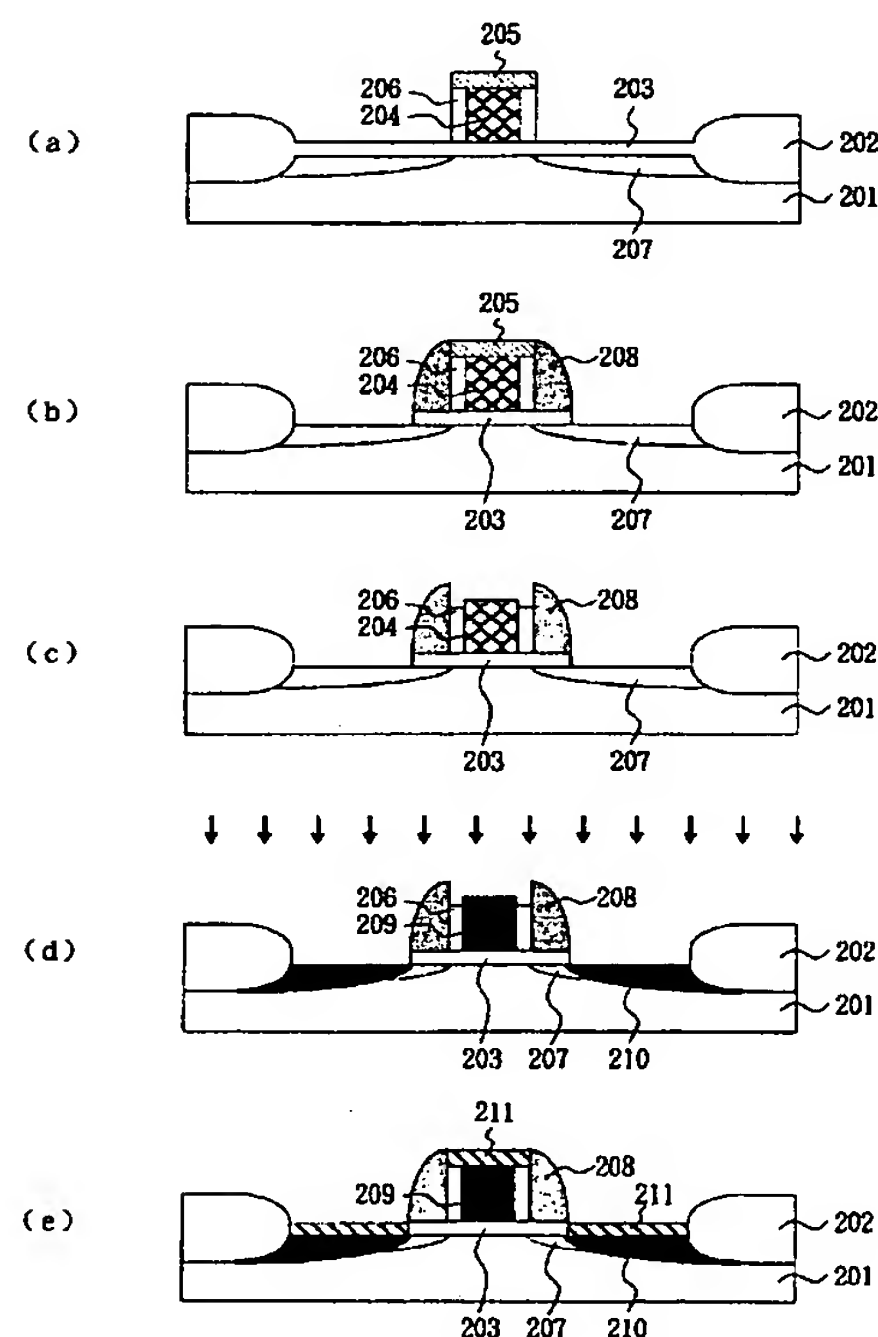
【図5】本発明の第6実施例を示すシリサイドプロセスを説明するための図である。

【図6】従来の半導体装置の製造工程断面図である。

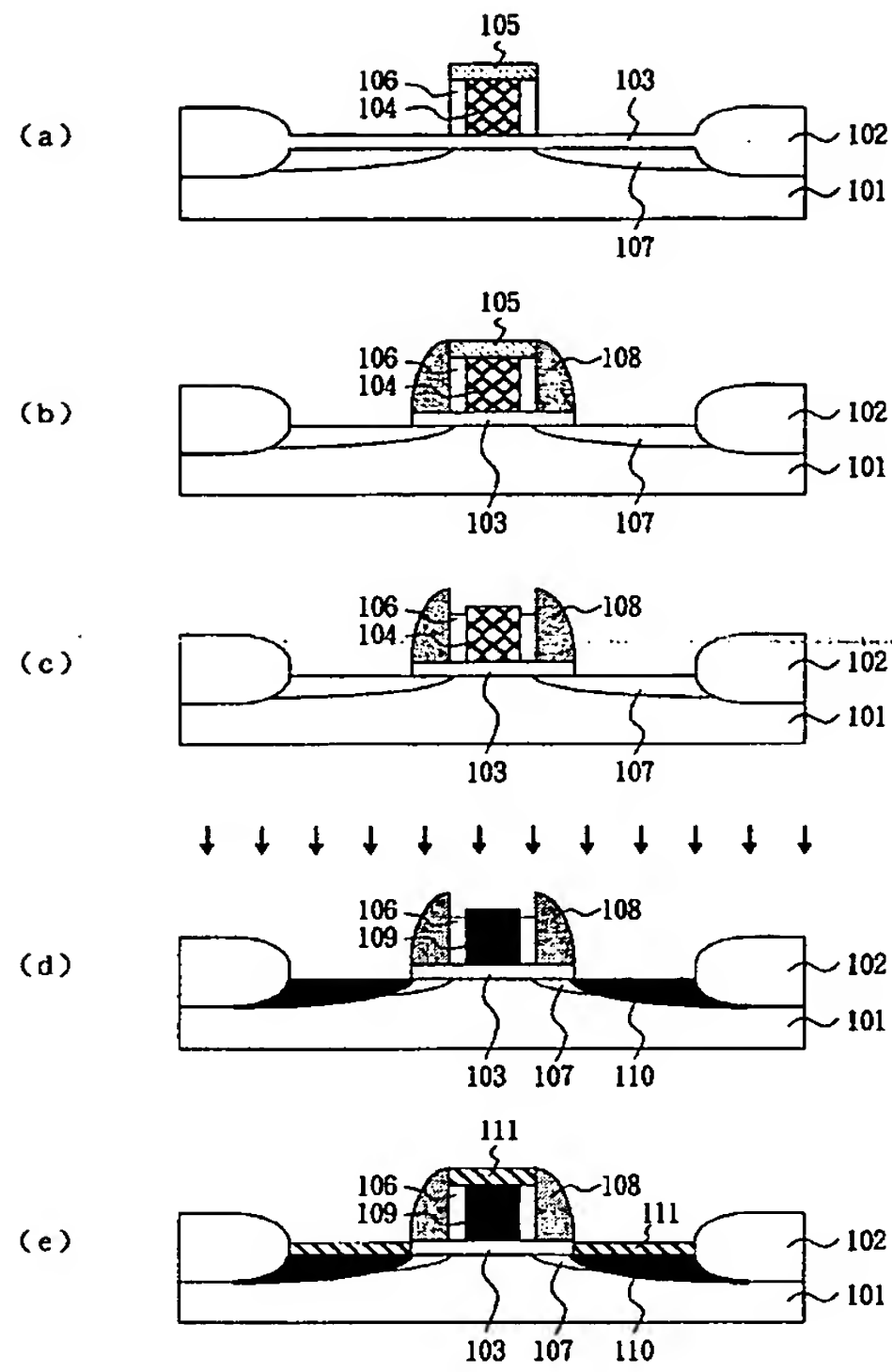
【符号の説明】

101, 201, 301, 401 Si(100) 基板
102, 202, 302, 402 フィールド酸化膜
103, 203, 303, 403 ゲート酸化膜
104, 204, 304, 404 ポリシリコン膜
105, 205, 405 P.S.G 膜
106, 206, 305 シリコン酸化膜
107, 207, 306, 406 N⁻ 拡散層
108, 208, 307, 407 サイドウォール
109, 209, 308, 408 ゲートポリシリコン膜
110, 210, 309, 409 ソース・ドレイン拡散層 (N⁺ 拡散層)
111, 211, 310, 410 TiSi₂ 膜 (シリサイド膜)

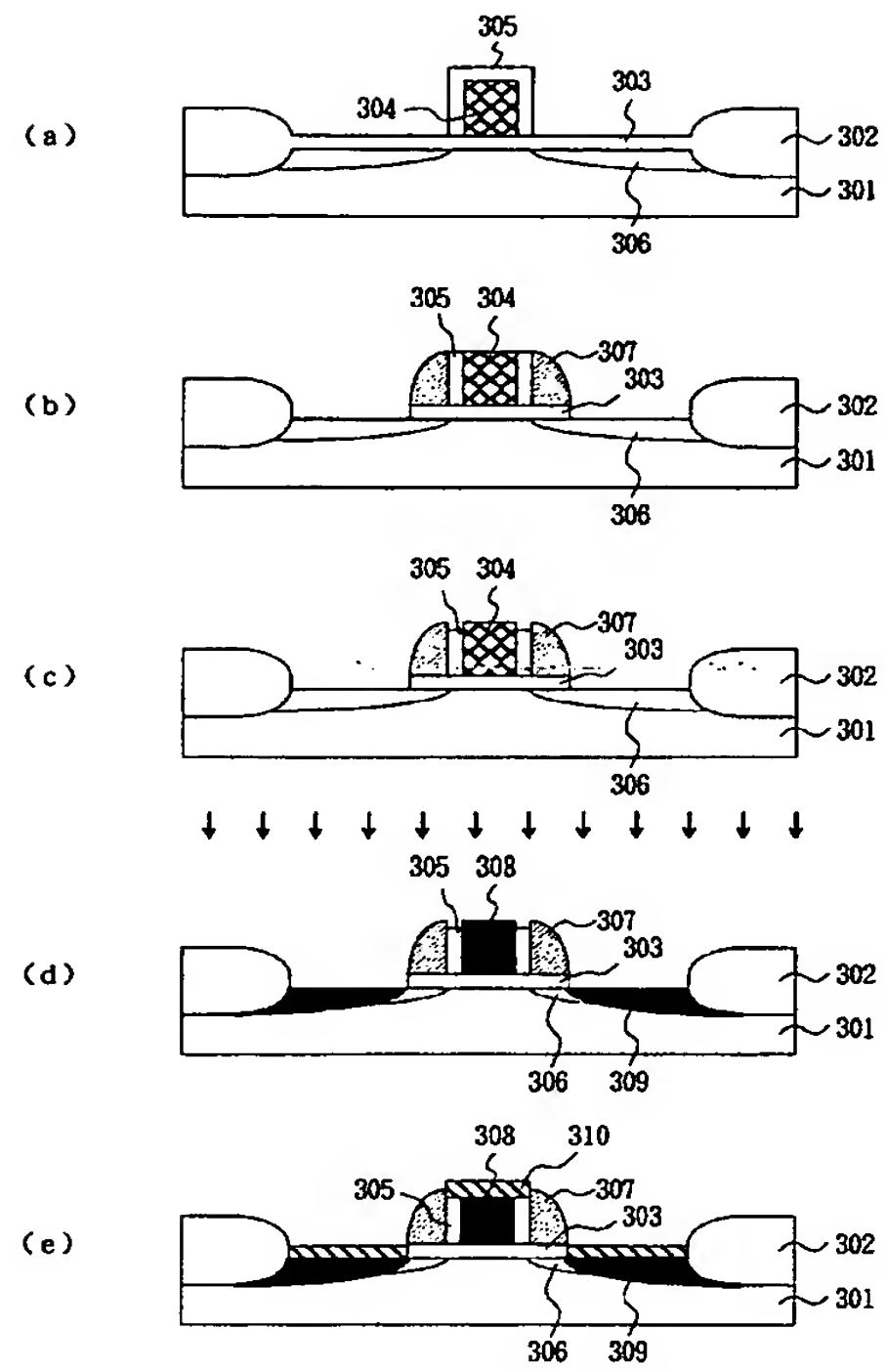
【図3】



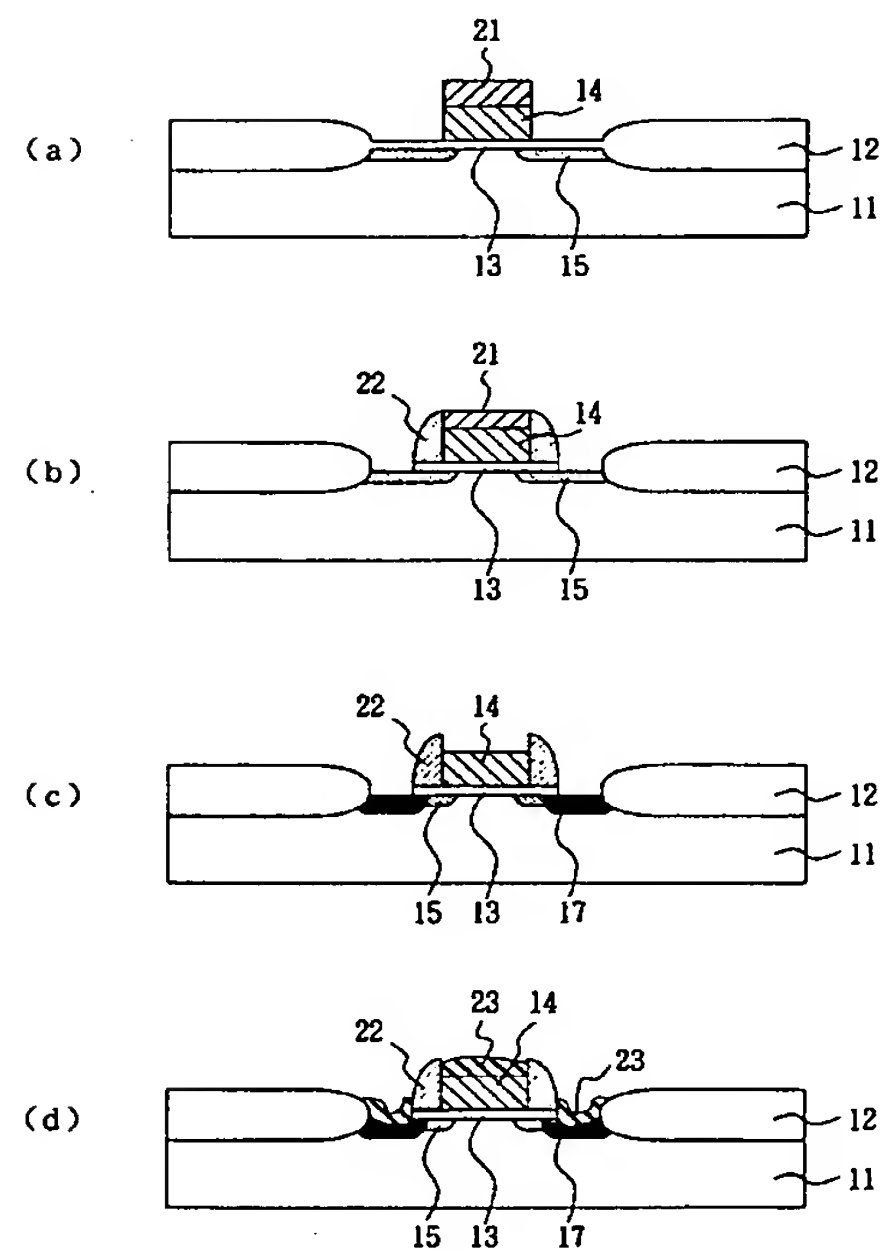
【図1】



【図4】



【図6】



【図5】

